

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237374

(43)Date of publication of application : 31.08.2001

(51)Int. Cl.

H01L 27/04

H01L 21/822

(21)Application number : 2000-049126

(71)Applicant : NEC MICROSYSTEMS LTD

(22)Date of filing : 25.02.2000

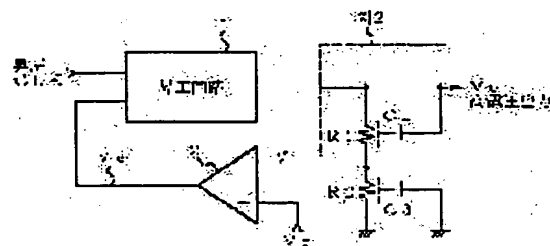
(72)Inventor : KATO KAZUAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high voltage generator circuit the ripple width of which is improved, without increasing the area of a speedup capacitor C1.

SOLUTION: The semiconductor integrated circuit has a high voltage generator circuit composed of a booster circuit 1 which provides a high voltage output with the input of a boosting clock and a control signal, first and second voltage dividing resistors R1, R2 for dividing the output voltage of the booster circuit, and a comparator 2 for comparing the division voltage divided by the dividing resistors R1, R2 with a reference voltage to output a control signal. A parasitic capacitance C1 of the dividing resistor R1 is connected to a high voltage output line, and this capacitance is directly connected to a connection line of the division voltage to be the input to the comparator and hence functions as a speedup capacitor.



LEGAL STATUS

[Date of request for examination] 15.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3372923

[Date of registration] 22.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-237374
(P2001-237374A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.

識別記号

F I

テーマコード* (参考)

H 0 1 L 27/04
21/822

H 0 1 L 27/04

B 5 F 0 3 8

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2000-49126 (P2000-49126)

(22) 出願日 平成12年2月25日 (2000.2.25)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 加藤 一明

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

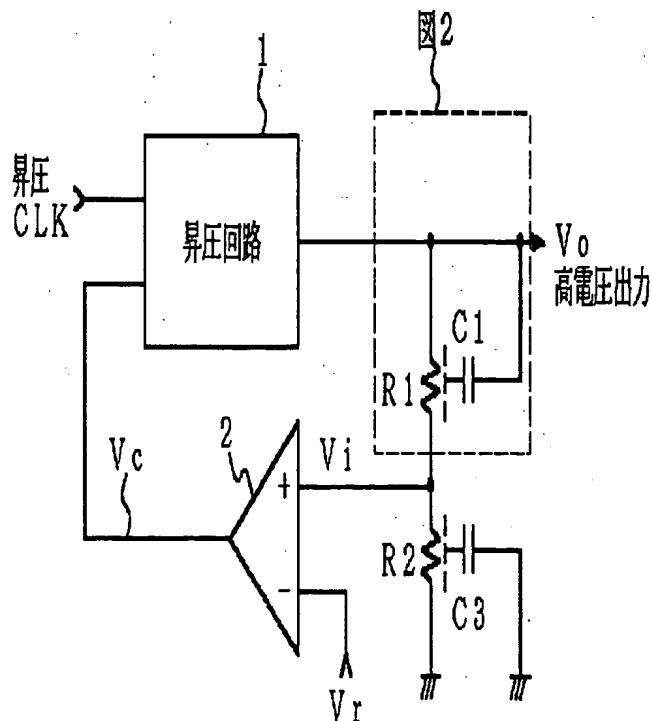
Fターム(参考) 5F038 AC06 AC06 AR06 BG03 BG06
BH03 BH19 CD06 EZ04 EZ20

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 スピードアップ容量素子C1の面積を増加させることなく、リップル幅が改善された高電圧生成回路を得る。

【解決手段】 昇圧用クロックと制御信号とを入力し高電圧出力を出力する昇圧回路1と、この昇圧回路の出力を分圧する第1、第2の分圧抵抗R1、R2と、これら分圧抵抗R1、R2により分圧された分圧電圧を基準電圧と比較して前記制御信号を出力するコンパレータ2とからなる高電圧生成回路を有する半導体集積回路において、前記分圧抵抗R1の寄生容量C1を、前記高電圧出力ラインに接続し、この寄生容量が、コンパレータの入力となる分圧電圧の接続線に直接接続され、スピードアップ容量として機能することを特徴とする。



【特許請求の範囲】

【請求項1】 昇圧用クロックと制御信号とを入力し高電圧出力を出力する昇圧回路と、この昇圧回路の出力を分圧する第1、第2の分圧抵抗R1、R2と、これら分圧抵抗R1、R2により分圧された分圧電圧を基準電圧と比較して前記制御信号を出力するコンパレータとからなる高電圧生成回路を有する半導体集積回路において、前記分圧抵抗R1の寄生容量を、前記高電圧出力ラインに接続したことを特徴とする半導体集積回路。

【請求項2】 第1の分圧抵抗R1の寄生容量が、コンパレータの入力となる分圧電圧の接続線に直接接続され、スピードアップ容量として機能する請求項1記載の半導体集積回路。

【請求項3】 第1の分圧抵抗R1の寄生容量が、この第1の分圧抵抗の下層に寄生する基板容量からなり、この基板容量領域に、高電圧出力ラインに接続したウェルが形成された請求項1または2記載の半導体集積回路。

【請求項4】 第1の分圧抵抗R1の寄生容量が、半導体基板に設けられかつ高電圧出力ラインに接続されたウェルと第1の絶縁膜を介して設けられた前記第1の分圧抵抗となる第1のポリシリコン抵抗素子との間に形成された請求項1、2または3記載の半導体集積回路。

【請求項5】 第1の分圧抵抗R1の寄生容量が、半導体基板に設けられかつ高電圧出力ラインに接続されたウェルと、このウェル上に第1の絶縁膜を介して設けられた第1のポリシリコン抵抗素子と、この第1のポリシリコン抵抗素子上に第2の絶縁膜を介して設けられた第2のポリシリコン抵抗素子とからなる構造における、前記ウェルと前記第1のポリシリコン抵抗素子との間、および前記第1のポリシリコン抵抗素子と前記第2のポリシリコン抵抗素子との間に形成され、また第1の分圧抵抗が、前記第1のポリシリコン抵抗素子と前記第2のポリシリコン抵抗素子とにより形成された請求項1、2または3記載の半導体集積回路。

【請求項6】 半導体基板がP型であり、ウェルがN型である請求項4または5記載の半導体集積回路。

【発明の詳細な説明】

【0001】

$$v = \{ \text{分圧抵抗の遅延} (R1 \times C2) \times \text{コンパレータ遅延} s \} \\ \times \text{昇圧能力} v / s \quad \dots\dots\dots (1)$$

図8は従来例1の回路構成におけるシミュレーション実行結果であり、高電圧レベルのリップル幅は700mVとなる。

【0009】このリップル幅の精度を改善する手段として、図9の従来例2の回路図に示す回路がある。この回路は、一般にスピードアップ容量と言う容量素子C1を付加することが必要となる。この回路によると、スピードアップ容量素子C1の面積分、高電圧生成回路の面積が増加するという問題点があった。

【0010】図10は従来例2（図9）の回路構成にお

【発明の属する技術分野】本発明は半導体集積回路に関し、特にメモリの高電圧生成回路における分圧抵抗の寄生容量を改善した半導体集積回路に関する。

【0002】

【従来の技術】不揮発性メモリの開発において、デバイス耐圧・書き込み・消去時のレベル範囲等により高電圧出力レベルの絶対精度が要求される。このような回路を実現するものとして、図6に示す従来例1の回路がある。

【0003】この従来例1は、昇圧用クロックCLKと制御信号Vcとを入力し高電圧出力Voを出力する昇圧回路1と、この昇圧回路1の出力を分圧する分圧抵抗R1、R2と、これら分圧抵抗R1、R2のより分圧された電圧Viを基準電圧Vrと比較して制御信号Vcを出力するコンパレータ2とからなる高電圧生成回路となっている。

【0004】しかしながら、ここで用いている分圧抵抗R1、R2は、昇圧回路1の電流供給能力が低い分圧抵抗R1、R2に流れる電流をなるべく小さくするように、高抵抗値に設定する必要があり、抵抗素子の相対精度も要求されるため、拡散抵抗素子よりも、高い層抵抗を実現でき、バイアス依存の少ないポリシリコン抵抗素子が通常用いられている。

【0005】しかし、これら分圧抵抗素子（R1、R2）は、レイアウト構成・配置においても配慮する必要があり、これら分圧抵抗素子は他の抵抗よりも多くの面積を必要とする。その結果、これら分圧抵抗の対SUB寄生容量が増大し、分圧抵抗の時定数で決まる高電圧レベル精度が悪化する。

【0006】この従来例1では、図7のリップル波形図で示すように、分圧抵抗素子R1と対SUB容量C2の時定数により分圧レベルViの変化に遅延が生じることで、高電圧出力Voからコンパレータ2の出力Vcまでの帰還経路の遅延時間が多くなり、この結果この遅延時間分、昇圧回路の制御が不能となり、高電圧レベルのリップル幅vが大きく精度の悪いレベルが得られる。

【0007】この従来例1のリップル幅vは、次式(1)のようになる。

【0008】

けるシミュレーション実行結果であり、スピードアップ容量C1として0.3PFを付加した時のリップル幅は300mVに改善されている。

【0011】

【発明が解決しようとする課題】上述した従来例2の場合には、スピードアップ容量素子C1を付加することにより、リップル幅は改善されるが、スピードアップ容量素子C1の面積分、高電圧生成回路の面積が増加するという問題点があった。

【0012】本発明の目的は、このような問題を解決

し、スピードアップ容量素子C1の面積増加を抑制すると共に、リップル幅が改善された高電圧生成回路を含む半導体集積回路を提供することにある。

【0013】

【課題を解決するための手段】本発明の構成は、昇圧用クロックと制御信号とを入力し高電圧出力を出力する昇圧回路と、この昇圧回路の出力を分圧する第1、第2の分圧抵抗R1、R2と、これら分圧抵抗R1、R2により分圧された分圧電圧を基準電圧と比較して前記制御信号を出力するコンパレータとからなる高電圧生成回路を有する半導体集積回路において、前記分圧抵抗R1の寄生容量を、前記高電圧出力ラインに接続したことを特徴とする。

【0014】本発明において、第1の分圧抵抗R1の寄生容量が、コンパレータの入力となる分圧電圧の接続線に直接接続され、スピードアップ容量として機能することができ、また第1の分圧抵抗R1の寄生容量が、この第1の分圧抵抗の下層に寄生する基板容量からなり、この基板容量領域に、高電圧出力ラインに接続したウェルが形成されることができ。

【0015】また本発明において、第1の分圧抵抗R1の寄生容量が、半導体基板に設けられかつ高電圧出力ラインに接続されたウェルと第1の絶縁膜を介して設けられた前記第1の分圧抵抗となる第1のポリシリコン抵抗素子との間に形成されることもできる。

【0016】また本発明において、第1の分圧抵抗R1の寄生容量が、半導体基板に設けられかつ高電圧出力ラインに接続されたウェルと、このウェル上に第1の絶縁膜を介して設けられた第1のポリシリコン抵抗素子と、この第1のポリシリコン抵抗素子上に第2の絶縁膜を介して設けられた第2のポリシリコン抵抗素子とからなる構造における、前記ウェルと前記第1のポリシリコン抵抗素子との間、および前記第1のポリシリコン抵抗素子と前記第2のポリシリコン抵抗素子との間に形成され、また第1の分圧抵抗が、前記第1のポリシリコン抵抗素子と前記第2のポリシリコン抵抗素子とにより形成されることもできる。

【0017】本発明の構成によれば、分圧抵抗素子下に寄生する対SUB容量という構成に対し、本発明に従って、対SUB寄生容量領域に、高電圧出力ラインに接続したウェルを形成することで、スピードアップ容量としての役目を果たす。従って、スピードアップ容量素子を新たな領域に設ける必要が無くなる。

【0018】

【発明の実施の形態】図1は本発明の一実施形態の高電圧生成回路の回路図を示す。この高電圧生成回路は、昇圧用クロック信号CLKを入力とし、制御信号Vcを入力として高電圧出力Voを出力する昇圧回路1と、この昇圧回路1の高電圧出力Voを接続する分圧抵抗R1と、この分圧抵抗R1と接地GNDとの間に接続される分圧抵抗R2と、この分圧抵抗R1、R2の分圧出力Viと基準電圧Vrとを入力し制御信号Vcを出力するコンパレータ2とから構成され、分圧抵抗素子R1の部分に寄生容量C1があることを特徴とする。

【0019】この分圧抵抗素子R1の部分は、図2

(a)(b)の分圧抵抗R1、R2部分の平面図およびその断面図に示される。すなわち、P型基板10にNウェル11を有し、Nウェル11上に第1の絶縁膜12を介して分圧抵抗素子R1となるポリシリコン層13が形成され、このポリシリコン層13とその下部のNウェル11との間に寄生容量C1があり、またこのNウェル11は高電圧出力Voラインに接続されている。

【0020】また、分圧抵抗素子R2となるポリシリコン層13がNウェル11に隣接したP型基板10上に設けられるので、分圧抵抗素子R2となるポリシリコン層13の部分に寄生容量C3があり、これが接地されたP型基板10に接続されることになる。

【0021】これら分圧抵抗素子R1、R2となるポリシリコン層13はそれぞれコンタクト19を介して、絶縁膜12上に設けられたアルミ配線18と接続される。すなわち、分圧抵抗R1の一端はコンタクト19を介して、出力端Voに接続されるアルミ配線18と接続され、分圧抵抗素子R1、R2の接続点となるポリシリコン層13はコンタクト19を介して、分圧端Viと接続されるアルミ配線18と接続され、分圧抵抗R2の他端はコンタクト19を介して、接地端GNDと接続されるアルミ配線18に接続される。

【0022】本実施形態の図1によれば、図3のリップル波形図で示すように、分圧抵抗素子R1と寄生容量C1との時定数に関わりなく、直接分圧出力Viの接続ラインに容量C1を介して高電圧レベルの伝達を行うことができ、帰還経路での遅延を大幅に短縮する事が出来、従って高電圧出力Voのリップル幅の低減をはかる事が出来る。

【0023】本実施形態によるリップル幅vは、次式(2)に示される。

【0024】

$$v = \text{コンパレータ遅延} s \times \text{昇圧能力} v / s \quad \cdots \cdots (2)$$

ここで本実施形態の効果を示すために、高電圧レベルの絶対精度を決めているリップル幅に着目し、昇圧回路・コンパレータ・分圧抵抗を同一とする高電圧生成回路のシミュレーション結果を図4に示す。本実施形態の図1の回路構成において、分圧抵抗R1の寄生容量成分C1

として1PFを付加した場合、図4のようにリップル幅が350mVとなる。

【0025】従って本実施形態により、対SUB寄生容量C1をスピードアップ容量と同等に、リップル幅低減の効果が得られるのが明らかであり、スピードアップ容

量素子の面積削減もしくは削除が可能となる。

【0026】図5は本発明の第2の実施形態の分圧抵抗R1部分の断面図を示す。図4の第1の実施形態に対し、分圧抵抗素子ポリシリコン層13の下部にはNウェル11を有し、その上部には第2の絶縁膜15を介して第2分圧抵抗素子ポリシリコン層16を有し、このNウェル11と第2ポリシリコン層16とは高電圧出力ラインに接続されている。

【0027】図5で示す構造において、分圧抵抗素子ポリシリコンR1の下部に高電圧出力レベルに接続したNウェル11を、上部に高電圧出力ラインに接続した第2ポリシリコン層16を形成し、層間容量C1を介して分圧出力 V_i の接続ラインにフィードバックをかけている。これは、スピードアップ容量と同じ効果をもたらす、スピードアップ容量C1としての役目を果たしている。

【0028】図5の実施形態では、第1の実施形態と同じ素子面積において、第1の実施形態より多くのスピードアップ容量値を得ることが出来る特徴がある。

【0029】

【発明の効果】以上説明したように本発明の構成によれば、スピードアップ容量素子C1の面積を増加させることなく、リップル幅が改善された高電圧生成回路が得られるという効果がある。また、第2の実施形態では、同じ素子面積において、第1の実施形態の場合より多くのスピードアップ容量値を得ることが出来るという特徴がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図。

【図2】(a)(b)は図1の実施形態における分圧抵

抗R1、R2部分の平面図および断面図。

【図3】図1の回路の動作を説明するリップル波形図。

【図4】図1の回路構成におけるシミュレーション実行時の波形図。

【図5】本発明の第2の実施形態における分圧抵抗R1部分の断面図。

【図6】従来例1の回路構成を説明する回路図。

【図7】図6の回路構成の動作を説明するリップル波形図。

【図8】図6の回路構成におけるシミュレーション実行時の波形図。

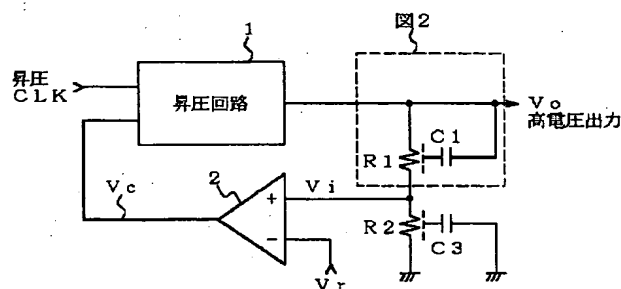
【図9】従来例2の回路構成を説明する回路図。

【図10】図9の回路構成におけるシミュレーション実行時の波形図。

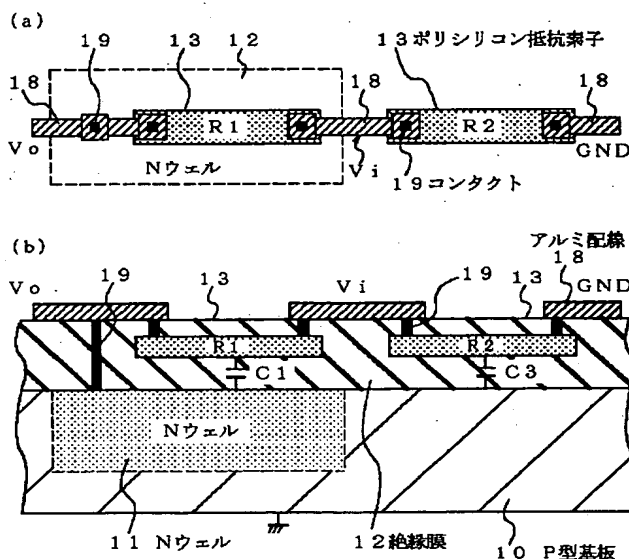
【符号の説明】

- 1 昇圧回路
- 2 コンパレータ
- 10 P型基板
- 11 Nウェル
- 12, 15 絶縁膜
- 13, 16 ポリシリコン抵抗素子
- 14, 17 層間容量
- 18 アルミ配線
- 19 コンタクト
- C1 スピードアップ容量
- C2, C3 SUB容量
- R1, R2 分圧抵抗
- V_o 高電圧出力
- V_c 制御電圧

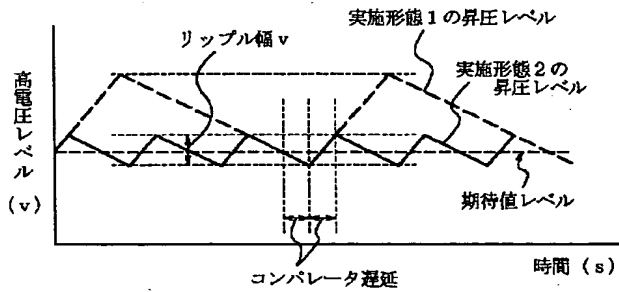
【図1】



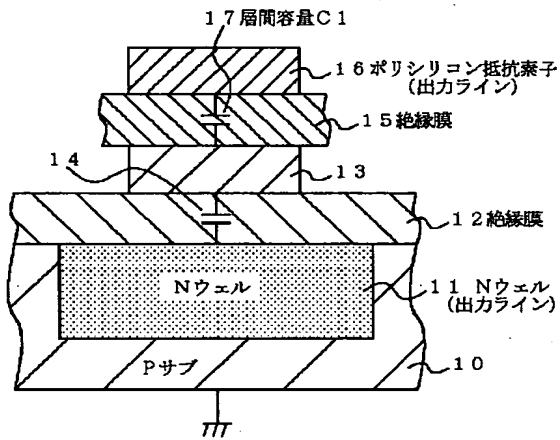
【図2】



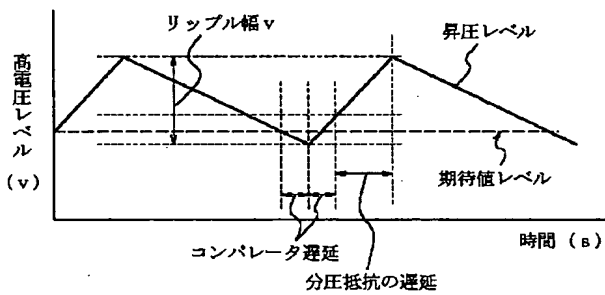
【図3】



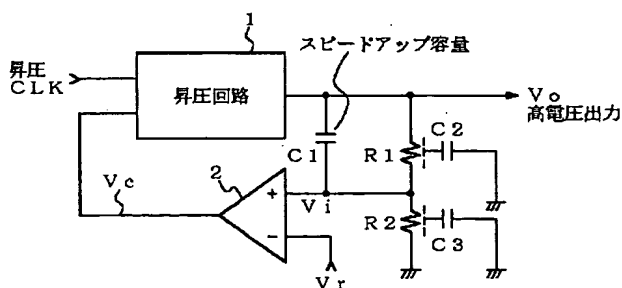
【図5】



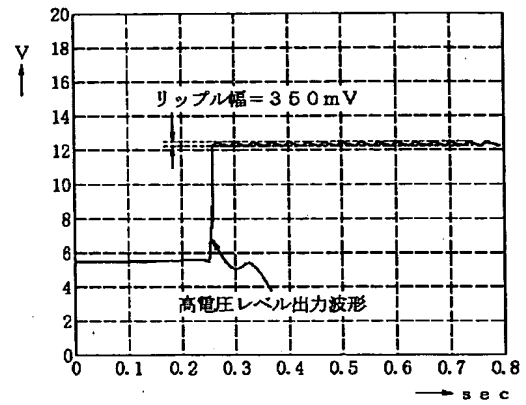
【図7】



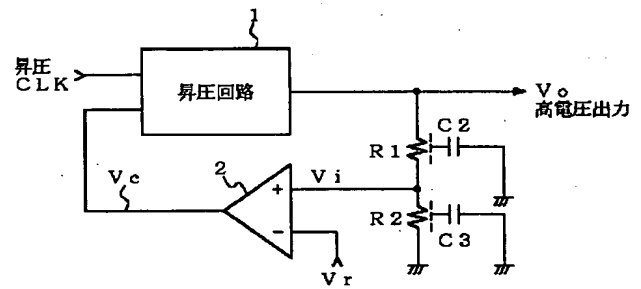
【図9】



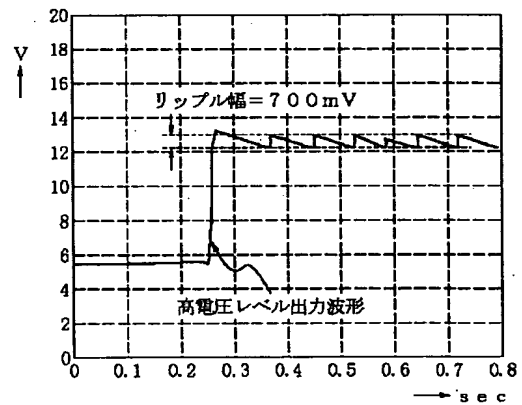
【図4】



【図6】



【図8】



【図10】

